

## Des transistors à l'assaut de la troisième dimension

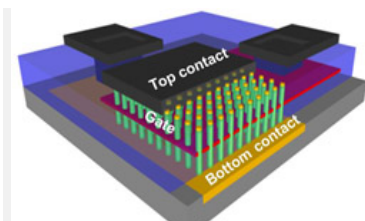
Les limites de miniaturisation des composants électroniques pourraient être plus éloignées que ce que l'on pensait. Une équipe du Laboratoire d'analyse et d'architecture des systèmes (LAAS-CNRS, Toulouse) et de l'Institut d'électronique, de microélectronique et de nanotechnologie (CNRS/Université Lille1/Université de Valenciennes et du Hainaut-Cambresis/Isen) viennent de construire un transistor de taille nanométrique au comportement exceptionnel pour un dispositif de cette dimension. Pour y parvenir, les chercheurs ont conçu une architecture originale en trois dimensions composée d'un réseau vertical de nanofils dont la conductivité est contrôlée par une grille de seulement 14 nm de longueur. Ces résultats, publiés dans la revue *Nanoscale*, ouvrent la voie à des alternatives aux structures planaires des microprocesseurs et des mémoires actuels. Ces transistors 3D permettraient ainsi d'accroître la puissance des dispositifs microélectroniques.

Les transistors, briques de base de la microélectronique, sont composés d'un élément semi-conducteur, dit canal, reliant deux bornes. Le passage du courant entre les bornes est contrôlé par une troisième borne appelée grille : c'est celle-ci qui, tel un interrupteur, détermine si le transistor est ouvert ou fermé. Au cours des 50 dernières années, la taille des transistors n'a cessé de se réduire à un rythme constant et soutenu, permettant la montée en puissance des appareils microélectroniques. Cependant, il est admis qu'avec les architectures de transistors planaires actuelles, la miniaturisation est proche de sa limite. En effet, au-delà d'une taille minimale, le contrôle du canal des transistors par la grille est de moins en moins efficace : on observe notamment des fuites de courant qui perturbent les opérations logiques réalisées par ces ensembles de transistors. Voilà pourquoi les chercheurs du monde entier étudient des alternatives permettant de poursuivre la course à la miniaturisation.

Les chercheurs du LAAS et de l'IEMN ont, pour la première fois, construit un transistor nanométrique véritablement en 3D. Le dispositif est constitué d'un réseau serré de nanofils verticaux d'environ 200 nm de longueur reliant deux plans conducteurs. Une grille, constituée de chrome, entoure complètement chaque nanofil et contrôle le passage du courant. Ainsi, les chercheurs ont obtenu un niveau de commande transistor très élevé pour un dispositif de cette dimension. La longueur de la grille est de seulement 14 nm, contre 28 nm pour les transistors des puces actuelles. Néanmoins, sa capacité à contrôler le passage du courant dans le canal du transistor est compatible avec les besoins de la microélectronique actuelle.

Cette architecture pourrait permettre de construire des microprocesseurs constitués d'un empilement de transistors. L'on pourrait ainsi augmenter considérablement le nombre de transistors dans un espace donné, et, par conséquent, augmenter les performances des microprocesseurs ou la capacité des mémoires. Un autre atout important de ces composants est que leur fabrication est relativement simple et ne nécessite pas de procédés lithographiques<sup>1</sup> de haute résolution. De plus, ces transistors pourraient s'intégrer facilement aux éléments microélectroniques classiques utilisés actuellement par l'industrie.

Un brevet a été déposé pour ces transistors. Les scientifiques veulent à présent poursuivre leurs efforts en miniaturisant encore la taille de la grille. Celle-ci pourrait être inférieure à 10 nm tout en offrant encore un contrôle du transistor satisfaisant. De plus, ils veulent commencer à concevoir, de concert avec des industriels, les dispositifs électroniques futurs qui mettront à profit l'architecture 3D de ces transistors.



© X.-L. Han et G. Larrieu

Vue schématique d'un nano-transistor 3D montrant la grille (rouge) entourant les nanofils verticaux (vert) et séparant les contacts aux extrémités de chaque nanofil (beige).

### Notes :

<sup>1</sup> Un procédé lithographique est une technique largement utilisée en micro/nano technologie pour réaliser des texturations de surface par transfert de motifs définis dans une résine sensible.

### Références :

Vertical nanowire array-based field effect transistors for ultimate scaling. G. Larrieu and X.-L. Han. *Nanoscale*, en ligne le 23 janvier 2013 (doi:10.1039/C3NR33738C).

### Contacts :

Chercheur CNRS | Guilhem Larrieu | T 05 61 33 79 84 | [guilhem.larrieu@laas.fr](mailto:guilhem.larrieu@laas.fr)

Presse CNRS | Ornella Piu | T 01 44 96 43 09 | [ornella.piu@cnrs-dir.fr](mailto:ornella.piu@cnrs-dir.fr)